

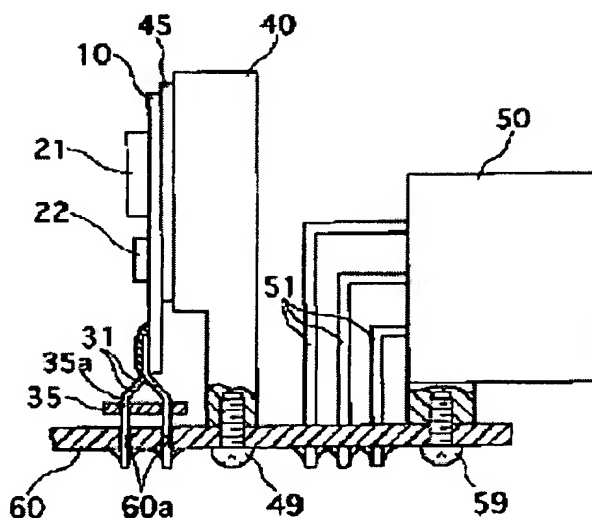
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP11186687
Publication date: 1999-07-09
Inventor: ITABASHI TORU; YAKURA TOSHIKI; SANADA KAZUYA; NIIMI YUKIHIRO
Applicant: DENSO CORP
Classification:
- international: **H05K1/14; H05K1/18; H05K1/14; H05K1/18; (IPC1-7): H05K1/14; H05K1/18**
- european:
Application number: JP19970355965 19971225
Priority number(s): JP19970355965 19971225

[Report a data error here](#)

Abstract of JP11186687

PROBLEM TO BE SOLVED: To reduce a mounting space at the time of mounting plural boards mounted with plural electronic parts on a mother board and the manhour in assembly, and efficiently absorb and dissipate heat generated from a power element mounted on each board. **SOLUTION:** A plurality of ceramic boards 10 where drive transistors 21 having heat generation properties and other electronic parts 22 are mounted are joined collectively with one heat radiating fin 40, and then they are mounted on a mother board 60. Therefore, the heat from the transistor 21, etc., can be absorbed and dissipated efficiently to the side of the heat radiating fin 40, and also the manhour in assembly can be reduced. Furthermore, after plural boards 10 are joined to the heat radiating fin 40, the electronic parts 21 and 22, the wiring pattern, etc., on the plural ceramic boards 10 are collected and packaged by resin adhesive or the like, and it also becomes possible to reduce the manhour in packaging.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186687

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 5 K 1/14
1/18

H 0 5 K 1/14
1/18

D
S

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号 特願平9-355965

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 板橋 徹

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 矢倉 利明

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 真田 一也

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 弁理士 樋口 武尚

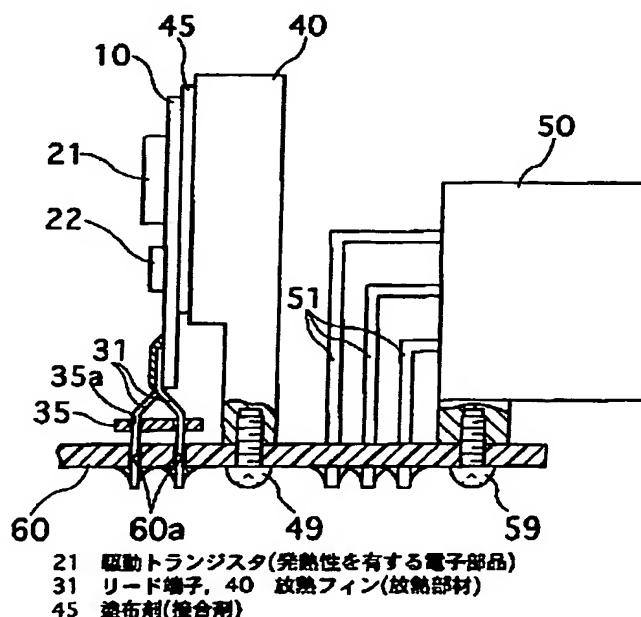
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 複数の電子部品が実装された複数の基板をマザーボード上に実装するときの実装スペース及び組付工数を減少し、各基板に実装されたパワー素子からの発熱を効率良く吸収・発散すること。

【解決手段】 発熱性を有する駆動トランジスタ21やその他の電子部品22が実装された複数のセラミック基板10がまとめて1つの放熱フィン40に接合され、このうちマザーボード60に実装される。このため、駆動トランジスタ21等からの熱を放熱フィン40側へ効率良く吸収・発散できると共に、マザーボード60への組付工数を削減することができる。更に、複数のセラミック基板10が放熱フィン40に接合されたのち、複数のセラミック基板10上の電子部品21、22や配線パターン等を樹脂剤等でまとめてパッケージすることができるため、パッケージ工数を削減することも可能となる。



21 駆動トランジスタ(発熱性を有する電子部品)
31 リード端子、40 放熱フィン(放熱部材)
45 塗布剤(接合剤)

【特許請求の範囲】

【請求項1】 発熱性を有する電子部品を含む複数の電子部品を実装する複数の基板と、
前記複数の基板を接合し、前記電子部品からの熱を吸収・発散する1つの放熱部材と、
前記複数の基板をそれぞれ電氣的に接続すると共に、前記複数の基板と一体的な前記1つの放熱部材を固定するマザーボードとを具備することを特徴とする半導体装置。

【請求項2】 更に、前記マザーボードを収容する筐体を具備し、
前記筐体は前記放熱部材と接触または接合し、前記放熱部材を介して前記電子部品からの熱を前記筐体側に熱伝導することを特徴とする請求項1に記載の半導体装置。

【請求項3】 更に、前記マザーボードは外部配線と電氣的に接続するコネクタ部材を具備し、
前記コネクタ部材は前記放熱部材に隣接して配置することを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 前記放熱部材は、前記コネクタ部材と略平行に並べて配置すると共に、前記複数の基板を前記コネクタ部材側に配置することを特徴とする請求項3に記載の半導体装置。

【請求項5】 更に、前記複数の基板に配設されたリード端子の配列に対応して穴が穿設された1つの端子整列板を具備し、
前記リード端子は前記端子整列板を介して前記マザーボードと電氣的に接続することを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記複数の基板は、発熱性の高い材質からなる厚膜用基板であることを特徴とする請求項1に記載の半導体装置。

【請求項7】 発熱性を有する電子部品を含む複数の電子部品を実装する複数の基板と、
前記複数の基板を接合し、前記電子部品からの熱を吸収・発散する1つの放熱部材と、
前記複数の基板をそれぞれ電氣的に接続すると共に、前記複数の基板と一体的な前記1つの放熱部材を固定するマザーボードとを具備し、
前記複数の基板は制御内容毎に分類して前記電子部品を実装することを特徴とする半導体装置。

【請求項8】 前記発熱性を有する電子部品は、制御対象を駆動するパワー素子であり、前記パワー素子を実装する基板には前記パワー素子を制御する制御回路を形成することを特徴とする請求項7に記載の半導体装置。

【請求項9】 発熱性を有する電子部品を含む複数の電子部品を実装する複数の基板を1つの放熱部材に熱伝導性の高い接合剤で接合する工程と、
前記複数の基板を接合した前記1つの放熱部材をマザーボードに接合する工程とからなることを特徴とする半導

体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、複数の電子部品を実装する複数の基板をマザーボードに実装してなる半導体装置及びその製造方法に関するもので、特に、パワー素子からの熱を効率良く放熱できると共に、単純な実装構造とすることで組立工数等を削減し得る半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体装置及びその製造方法に関連する先行技術文献としては、特開平8-111575号公報にて開示されたものが知られている。このものでは、金属基板上に半導体チップそのものを直接実装する所謂、ベアチップ実装し、その基板に設けられた位置決めピンをマザーボード上の穴に挿入して組付けると共に、パワー素子からの熱を放熱するための技術が示されている。

【0003】

【発明が解決しようとする課題】 ところで、前述のものでは、機能的に複数の基板が必要であると、各基板の位置決めピンを挿入するためマザーボード上には多数の穴が必要となり、この穴を穿設するためマザーボードの実装スペースが損なわれる。また、複数の基板を必要とするときにはマザーボードへの組付工数が増大するという不具合があった。更に、複数の基板を必要とするときには、基板自身が放熱フィン（ヒートシンク）の機能を備えてはいるがそれぞれ独立しているため、各基板に実装されたパワー素子からの発熱を効率良く吸収・発散させることができないという不具合があった。

【0004】 そこで、この発明はかかる不具合を解決するためになされたもので、複数の電子部品が実装された複数の基板をマザーボード上に実装するときの実装スペース及び組付工数を減少可能とし、各基板に実装されたパワー素子からの発熱を効率良く吸収・発散させることが可能な半導体装置及びその製造方法の提供を課題としている。

【0005】

【課題を解決するための手段】 請求項1の半導体装置によれば、発熱性を有する電子部品を含む複数の電子部品が実装された複数の基板がまとめて1つの放熱部材に接合され、こののちマザーボードに実装される。このため、複数の基板に実装された発熱性を有する電子部品等からの熱を放熱部材側へ効率良く吸収・発散できると共に、複数の基板によるマザーボードへの組付工数を削減することができる。更に、複数の基板が放熱部材に接合されたのち、基板に実装された電子部品や配線パターン等を樹脂剤等でまとめてパッケージすることができると、パッケージ工数を削減することもできる。

【0006】 請求項2の半導体装置では、発熱性を有す

る電子部品等からの熱が放熱部材を介して筐体側に熱伝導される。これにより、熱容量の大きな筐体が放熱部材となって発熱性を有する電子部品等からの熱を効率良く吸収・発散できる。

【0007】請求項3の半導体装置では、コネクタ部材が放熱部材の近傍に配置されることで、複数の基板上の発熱性を有する電子部品等とコネクタ部材との距離を最短の長さにできる。このため、発熱性を有する電子部品等からの大電流を効率良くコネクタ部材側に流すことができる。

【0008】請求項4の半導体装置では、複数の基板に実装された発熱性を有する電子部品等からの直接の放射熱が放熱部材の反対側のマザーボード上に実装されている電子部品等に伝わるのがないため、結果として、筐体内部全体の温度上昇を抑えることができる。

【0009】請求項5の半導体装置では、複数の基板のリード端子が端子整列板に穿設された穴に挿入されることで、マザーボード側の穴位置に対するリード端子の位置関係が補償され、複数の基板のリード端子がマザーボードの穴に実装し易いという効果が得られる。

【0010】請求項6の半導体装置では、複数の基板として放熱性の高い材質からなる厚膜用基板が採用されることで、複数の基板に実装された発熱性を有する電子部品等からの熱を効率良く放熱部材等へ伝えることができ、発熱性を有する電子部品等における温度上昇を抑えることができる。

【0011】請求項7の半導体装置によれば、複数の基板が制御内容毎に分割・分類されていることから、例えば、車両等の仕様による制御内容に対応させて必要な基板を選択的に放熱部材に接合すれば良いこととなる。また、複数の基板のうちの必要なものだけを放熱部材に接合することで放熱部材を共通化することができ、更にはマザーボードや筐体等の共通化を図ることもできる。

【0012】請求項8の半導体装置では、発熱性を有する電子部品等とそれを制御するために必要な制御回路とが同じ基板上に形成されていることで、例えば、車両等の仕様による制御内容に対応する基板の選択のみで簡単に対応機種への切替えができることから、マザーボードの共通化も図ることができる。

【0013】請求項9の半導体装置の製造方法によれば、複数の基板が放熱部材によって一体化されることで、複数の基板のマザーボードへの組付工数が削減できると共に、複数の基板に実装された電子部品からの熱を効率良く放熱部材側に吸収・発散させることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を実施例に基づいて説明する。

【0015】図1は本発明の実施の形態の一実施例にかかる半導体装置の全体構成を示す斜視図であり、図2は図1におけるケース等を省略して要部構成を示す部分断

面図である。なお、以下の図中、同様の構成または相当部分からなるものについては同一符号及び同一記号を付し、その詳細な説明を省略する。

【0016】図1において、本実施例の半導体装置100では、厚膜用基板として放熱性が高いセラミック基板10A、10B、10C、10Dが用いられている。これら複数のセラミック基板10A、10B、10C、10Dは、後述のように、制御内容毎に分割・分類されている。なお、以下、複数のセラミック基板10A、10B、10C、10Dのそれぞれに共通な構成等を説明するときには、単に、『セラミック基板10』として代表させて述べる。

【0017】図1及び図2において、セラミック基板10には、発熱性を有するパワー素子としての駆動トランジスタ（パワートランジスタ）21やその他の電子部品22が実装されている。このセラミック基板10は、更に駆動トランジスタ21で発生する熱を吸収・発散させるためアルミニウム材料等で形成された1つの放熱フィン40に熱伝導性が高い接合剤としての塗布剤45を介して接合されている。

【0018】セラミック基板10からのリード端子31は、絶縁性を有する1つの端子整列板35を介してマザーボード60に穿設された所定の穴に挿入され、はんだ付けされる。この端子整列板35には、セラミック基板10に配設されたリード端子31の配列位置に対応した複数のテーパ状の穴35aが設けられている。このため、セラミック基板10のリード端子31が端子整列板35の穴35aに挿入されることで、この後におけるリード端子31の整列・保持状態が補償される。これにより、セラミック基板10が複数あっても、それらのリード端子31の配列位置とマザーボード60側の実装用の穴60a位置との位置関係が補償され、セラミック基板10のリード端子31がマザーボード60の穴60aに実装し易くなる。

【0019】また、セラミック基板10の複数の位置に熱伝導性の高い、例えば、シリコン系の塗布剤45によってそれぞれ接合された1つの放熱フィン40は、マザーボード60にビス49を用いて固定されている。更に、マザーボード60の1辺の周縁近傍には、コネクタ50がビス59を用いて固定されると共に、コネクタ50のリード端子51がはんだ付けされて電氣的に接続されている。このように構成されたマザーボード60は、図1に示すような、熱伝導性が高い、例えば、アルミニウム材料等で形成されたケース70内に収容されたのち、図示しないアルミニウム材料等で形成されたカバーが被せられビス止めされることで半導体装置100が構成される。

【0020】このとき、半導体装置100のケース70の内側面に形成されている突出部75が放熱フィン40の両端に形成された突起部41と接触状態に保持される

ことで、放熱フィン40からの熱がケース70側に吸収・発散される。また、半導体装置100のケース70内に収容されたマザーボード60に固定されたコネクタ50の接続端子側のみがケース70の開口部71から外部に臨むこととなる。

【0021】ここで、本実施例の構成における半導体装置100では、ケース70内部にコネクタ50に略平行に並べて直立状に放熱フィン40が配置されている。つまり、アルミニウム材料等からなるケース70及びカバー（図示略）、更には開口部71側もアルミニウム材料等からなる放熱フィン40で囲まれることで、半導体装置100内部は電磁的に遮蔽されることとなる。

【0022】このように、本実施例の半導体装置100は、発熱性を有する電子部品としての駆動トランジスタ21を含む複数の電子部品21、22を実装する複数のセラミック基板10（10A、10B、10C、10D）と、複数のセラミック基板10を接合し、前記電子部品からの熱を吸収・発散する1つの放熱部材としての放熱フィン40と、複数のセラミック基板10をそれぞれ電気的に接続すると共に、複数のセラミック基板10と一体的な放熱フィン40を固定するマザーボード60とを具備するものである。つまり、複数の電子部品21、22が実装された複数のセラミック基板10がまとめて1つの放熱フィン40に接合され、こののちマザーボード60に実装される。このため、複数のセラミック基板10に実装された駆動トランジスタ21からの熱を放熱フィン40側へ効率良く吸収・発散できると共に、複数のセラミック基板10によるマザーボード60への組付工数を削減することができる。更に、複数のセラミック基板10が放熱フィン40に接合されたのち、セラミック基板10に実装された電子部品21、22や配線パターン等を樹脂剤等でまとめてパッケージすることができるため、パッケージ工数を削減することも可能となる。

【0023】また、本実施例の半導体装置100は、更に、マザーボード60を収容する筐体としてのケース70を具備し、ケース70に配設された突出部75を放熱部材としての放熱フィン40の突起部41と接触または接合し、放熱フィン40を介して発熱性を有する電子部品としての駆動トランジスタ21からの熱をケース70側に熱伝導するものである。つまり、駆動トランジスタ21からの熱が放熱フィン40を介してケース70側に熱伝導される。これにより、熱容量の大きなケース70が放熱部材となって駆動トランジスタ21からの熱を効率良く吸収・発散できることとなる。

【0024】そして、本実施例の半導体装置100は、更に、マザーボード60を外部配線と電気的に接続するコネクタ部材としてのコネクタ50を具備し、コネクタ50を放熱部材としての放熱フィン40に隣接して配置するものである。つまり、コネクタ50が放熱フィン40

の近傍に配置されることで、セラミック基板10の駆動トランジスタ21とコネクタ50との距離を最短の長さにできる。このため、駆動トランジスタ21からの大電流を効率良くコネクタ50側に流すことができることとなる。また、セラミック基板10が放熱フィン40を介してコネクタ50の近傍への配置に合わせて、その他のマザーボード60上のリード部品をもコネクタ50の近傍へ配置すると、それらの範囲だけを噴流はんだ付けとし、その範囲外の部分は、所謂リフローはんだ付けとすることができる。これにより、マザーボード60上の面実装部品のランドの大きさを小さくでき、実装密度を高くすることができる。

【0025】また、本実施例の半導体装置100は、更に、複数のセラミック基板10（10A、10B、10C、10D）に配設されたリード端子31の配列に対応して穴35aが穿設された1つの端子整列板35を具備し、リード端子31は端子整列板35を介してマザーボード60と電気的に接続するものである。つまり、複数のセラミック基板10のリード端子31は端子整列板35の穴35aに挿入されることで、マザーボード60側の穴60a位置に対するリード端子31の位置関係が補償され、複数のセラミック基板10のリード端子31がマザーボード60の穴60aに実装し易くなる。

【0026】そして、本実施例の半導体装置100は、複数の基板を放熱性の高い材質からなる厚膜用基板として主流であるセラミック基板10（10A、10B、10C、10D）とするものである。これにより、セラミック基板10に実装された駆動トランジスタ21からの熱を効率良く放熱フィン40等へ伝えることができ、駆動トランジスタ21における温度上昇を抑えることができる。

【0027】次に、本実施例の半導体装置100における複数のセラミック基板10の放熱フィン40への接合配置状態を示す図3及び図4を参照して説明する。

【0028】図3に示すように、複数のセラミック基板10は、制御内容毎に、例えば、半導体装置100の電源供給回路を構成するセラミック基板10A、燃料噴射回路を構成するセラミック基板10B、10C、スロットル制御におけるDCモータ等に対するモータ駆動回路を構成するセラミック基板10Dに分割・分類され、各制御回路に必要な電子部品が実装されている。これらのセラミック基板10は放熱フィン40の所定位置に上述の塗布剤45にて接合配置されている。

【0029】上述のように、セラミック基板10が制御内容毎に分割・分類されていることから、図4に示すように、車両の仕様による制御内容に対応させて必要な基板を選択的に放熱フィン40に接合すれば良いこととなる。このうち、図4（a）は、電源供給回路を搭載したセラミック基板10A、燃料噴射回路を搭載したセラミック基板10B、10C、モータ駆動回路を搭載したセ

ラミック基板10Dが必要とされる4気筒内燃機関に対応し、図4(b)は、電源供給回路を搭載したセラミック基板10A、燃料噴射回路を搭載したセラミック基板10B、10Cが必要で、モータ駆動回路を搭載したセラミック基板10Dを必要としない4気筒内燃機関に対応させることができる。即ち、複数のセラミック基板10(10A、10B、10C、10D)のうちの必要なものを放熱フィン40に接合することで放熱フィン40を共通化することができ、更にはマザーボード60やケース70等の共通化を図ることも可能となる。

【0030】また、セラミック基板10が制御内容毎に分割・分類されていることから、6気筒内燃機関に対応させるには、図4(c)に示すように、燃料噴射回路を搭載したセラミック基板10Eを図4(a)に対して追加し、その面積分だけ大きくされた放熱フィン40'を使用すれば良いこととなる。なお、この場合には、マザーボード60等は別形状となる。何れにせよ、複数のセラミック基板10(10A、10B、10C、10D、10E)が制御内容毎に分割・分類されていることで、車両の仕様による制御内容に対応させた基板の組み合わせが自在となり、部品の共通化を容易に達成することができる。

【0031】このように、本実施例の半導体装置100は、発熱性を有する電子部品としての駆動トランジスタ21を含む複数の電子部品21、22を実装する複数のセラミック基板10(10A、10B、10C、10D、10E)と、複数のセラミック基板10を接合し、前記電子部品からの熱を吸収・発散する1つの放熱部材としての放熱フィン40と、複数のセラミック基板10をそれぞれ電気的に接続すると共に、複数のセラミック基板10と一体的な放熱フィン40を固定するマザーボード60とを具備し、複数のセラミック基板10は制御内容毎に分類して電子部品21、22を実装するものである。

【0032】つまり、複数のセラミック基板10が制御内容毎に分割・分類されていることから、車両の仕様による制御内容に対応させて必要な基板を選択的に放熱フィン40に接合すれば良いこととなる。また、複数のセラミック基板10のうちの必要なものだけを放熱フィン40に接合することで放熱フィン40を共通化することができ、更にはマザーボード60やケース70等の共通化を図ることもできる。

【0033】次に、本実施例の半導体装置100における電子部品が実装されたセラミック基板10の特徴について図5を参照して説明する。

【0034】セラミック基板10には、制御対象を駆動するためのパワー素子としての駆動トランジスタ21、この駆動トランジスタ21を制御するためのその他の電子部品22が実装され所定の回路が形成されている。このように、セラミック基板10にはパワー素子を含んで

制御内容毎に独立して回路が形成されていることから、上述のように、複数のセラミック基板の中から車両の仕様による制御内容に対応する所望のセラミック基板10が選択され放熱フィン40に組付けられることで、簡単に対応機種への切替えができマザーボード60の共通化が達成できる。

【0035】このように、本実施例の半導体装置100は、発熱性を有する電子部品としての駆動トランジスタ21が制御対象を駆動するパワー素子であり、駆動トランジスタ21を実装するセラミック基板10には駆動トランジスタ21を制御する制御回路を形成するものである。つまり、駆動トランジスタ21とそれを制御するために必要な制御回路とが同じセラミック基板10に形成されていることで、車両の仕様による制御内容に対応するセラミック基板10の選択のみで簡単に対応機種への切替えができることから、マザーボード60の共通化も可能となる。

【0036】次に、本発明の実施の形態の一実施例にかかる半導体装置100におけるセラミック基板10が接合された放熱フィン40とコネクタ50とのマザーボード60への実装による位置関係の変形例を示す図6の部分断面図を参照して説明する。なお、図6は図2における放熱フィン40に対してセラミック基板10を逆方向から接合しコネクタ50側に向けたものであり、半導体装置100の全体構成については、複数のセラミック基板10を接合した放熱フィン40の実装方向を除いて上述の実施例の斜視図を示す図1と同様であり、その詳細な説明を省略する。

【0037】図6において、放熱フィン40はコネクタ50に略平行に並べて直立状に放熱フィン40が配置されている。そして、セラミック基板10は、発熱性を有するパワー素子としての駆動トランジスタ(パワートランジスタ)21やその他の電子部品22がコネクタ50側に向くように放熱フィン40に接合されている。このような構成により、セラミック基板10に実装されている駆動トランジスタ21等からの放射熱がマザーボード60面に実装された電子部品61側に放射伝導することが防止され、電子部品61等の温度上昇を低減することができる。

【0038】このように、本実施例の半導体装置100は、放熱部材としての放熱フィン40をコネクタ部材としてのコネクタ50と略平行に並べて配置すると共に、複数のセラミック基板10(10A、10B、10C、10D)をコネクタ50側に配置するものである。これにより、セラミック基板10に実装された駆動トランジスタ21等からの直接の放射熱が放熱フィン40の反対側のマザーボード60上に実装されている電子部品61等に伝わることはないため、結果として、ケース70内部全体の温度上昇を抑えることができる。

【0039】次に、本発明の実施の形態の一実施例にか

かる半導体装置100におけるセラミック基板10やコネクタ50を実装するマザーボード60面における配線パターンを示す図7の部分断面図を参照して説明する。なお、図7ではセラミック基板10に実装された駆動トランジスタ21やその他の電子部品22は省略されている。また、図7におけるマザーボード60の配線パターン上面には絶縁性被膜が形成されているため、絶縁性被膜に隠れた配線パターン部分は破線、ランド部分は実線で示す。

【0040】半導体装置100内のセラミック基板10に実装された駆動トランジスタ21が外部の制御対象（例えば、DCモータ）とコネクタ50を介して電氣的に接続される際、その駆動電流の大きさに比して一般的にマザーボード60面における配線パターンの幅を太くする必要がある。また、セラミック基板10に配設されたリード端子31間の隙間も確保する必要がある。そこで、本実施例では、セラミック基板10からのリード端子31のうちコネクタ50と接続される端子のみをコネクタ50側に曲げ、その他の端子を反対側に曲げられている。これにより、マザーボード60面でセラミック基板10を接続するランド65とコネクタ50のリード端子51を接続するランド66との間が太くかつ最短のパワー（大電流用）パターンとしての配線パターン68で接続できることとなる。また、リード端子31、51間の距離も短くすることが可能となる。

【0041】次に、本発明の実施の形態の一実施例にかかる半導体装置100におけるセラミック基板10が接合された放熱フィン40のマザーボード60への組付工程を示す図8の分解斜視図を参照して説明する。なお、図8ではセラミック基板10のリード端子31を整列する端子整列板35及びマザーボード60を収容するケース70等は省略されている。

【0042】図8に示すように、まず、発熱性を有する電子部品を含む複数の電子部品が実装された複数のセラミック基板10と放熱フィン40とが熱伝導率の高い塗布剤45にて接合される。このうち、放熱フィン40と一体化された複数のセラミック基板10のリード端子31がマザーボード60の所定穴に挿入され、放熱フィン40がビス49にて固定される。そして、複数のセラミック基板10のリード端子31がマザーボード60のランド部分にはんだ付けされることで電氣的に接続され、複数のセラミック基板10のマザーボード60への組付工程が完了する。これにより、複数のセラミック基板10をマザーボード60に対して一度に挿入できるため組付時間が短縮され生産性の向上を図ることができる。

【0043】このように、本実施例の半導体装置100の製造方法は、発熱性を有する電子部品としての駆動トランジスタ21を含む複数の電子部品21、22を実装する複数のセラミック基板10（10A、10B、10C、10D）を1つの放熱部材としての放熱フィン40

に熱伝導性の高い接合剤としての塗布剤45で接合する工程と、複数のセラミック基板10を接合した放熱フィン40をマザーボード60に接合する工程とからなるものである。このような工程手順によれば、複数のセラミック基板10が放熱フィン40によって一体化されることで、複数のセラミック基板10のマザーボード60への組付工数が削減できると共に、セラミック基板10に実装された電子部品からの熱を効率良く放熱フィン40側に吸収・発散させることができる。

【0044】次に、本発明の実施の形態の一実施例にかかる半導体装置100におけるセラミック基板10が接合された放熱フィン40のケース70への組付状態を示す図9及び図10の要部断面図を参照して説明する。

【0045】図9に示すように、放熱フィン40には発熱性を有する電子部品を含む複数の電子部品が実装された複数のセラミック基板10が塗布剤45を介して接合されている。そして、この放熱フィン40とケース70とがビス79によって接触状態を保持して固定されている。このような構成により、セラミック基板10に実装されている駆動トランジスタ21等で発生された熱がセラミック基板10、塗布剤45及び放熱フィン40を介してケース70側に効率良く吸収・発散されることとなる。

【0046】また、図10では、放熱フィン40とケース70との間に熱伝導性シート46が挟込まれている。このような構成により、セラミック基板10に実装されている駆動トランジスタ21等で発生された熱がセラミック基板10、塗布剤45、放熱フィン40及び熱伝導性シート46を介してケース70側に効率良く吸収・発散されることとなる。更に、この構成によれば、図9のように、放熱フィン40とケース70とのビス止め工数が必要でないため組付時の作業性の向上が図られることとなる。

【0047】このように、本実施例の半導体装置100は、更に、マザーボード60を収容する筐体としてのケース70を具備し、ケース70は放熱部材としての放熱フィン40と接触または接合し、放熱フィン40を介して発熱性を有する電子部品21からの熱をケース70側に熱伝導するものである。これにより、放熱フィン40からの熱をケース70側に更に効率良く伝えることができるため、電子部品等の温度上昇をより低く抑えることが可能となる。

【図面の簡単な説明】

【図1】 図1は本発明の実施の形態の一実施例にかかる半導体装置の概略構成を示す斜視図である。

【図2】 図2は図1における要部構成を示す部分断面図である。

【図3】 図3は本発明の実施の形態の一実施例にかかる半導体装置における複数のセラミック基板の放熱フィンへの接合配置状態を示す説明図である。

【図4】 図4は図3の変形例を示す説明図である。

【図5】 図5は本発明の実施の形態の一実施例にかかる半導体装置における電子部品が実装されたセラミック基板の特徴を示す説明図である。

【図6】 図6は本発明の実施の形態の一実施例にかかる半導体装置における要部構成の変形例を示す部分断面図である。

【図7】 図7は本発明の実施の形態の一実施例にかかる半導体装置におけるセラミック基板やコネクタを実装するマザーボード面の配線パターンを示す部分断面図である。

【図8】 図8は本発明の実施の形態の一実施例にかかる半導体装置における組付工程を示す分解斜視図である。

【図9】 図9は本発明の実施の形態の一実施例にかかる半導体装置におけるセラミック基板が接合された放熱

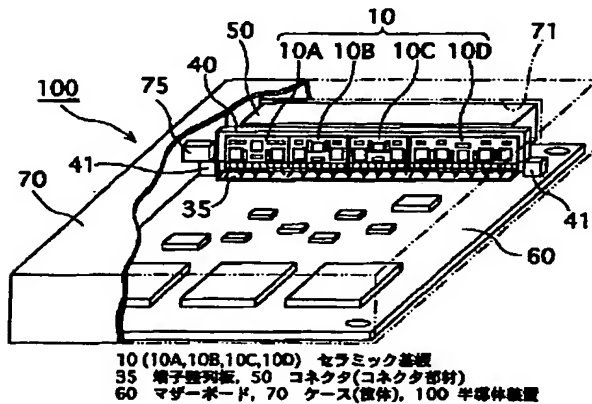
フィンとケースとの組付状態を示す部分断面図である。

【図10】 図10は図9の変形例を示す部分断面図である。

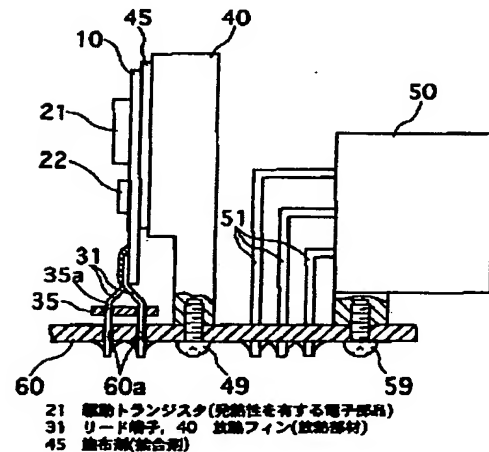
【符号の説明】

- 10 (10A, 10B, 10C, 10D) セラミック基板 (複数の基板)
- 21 駆動トランジスタ (発熱性を有する電子部品)
- 31 リード端子
- 35 端子整列板
- 40 放熱フィン (放熱部材)
- 45 塗布剤 (接合剤)
- 50 コネクタ (コネクタ部材)
- 60 マザーボード
- 70 ケース (筐体)
- 100 半導体装置

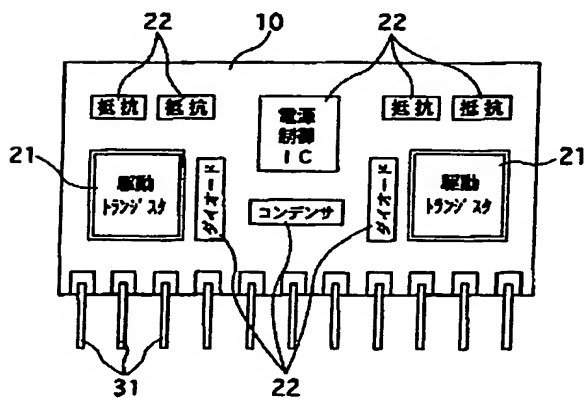
【図1】



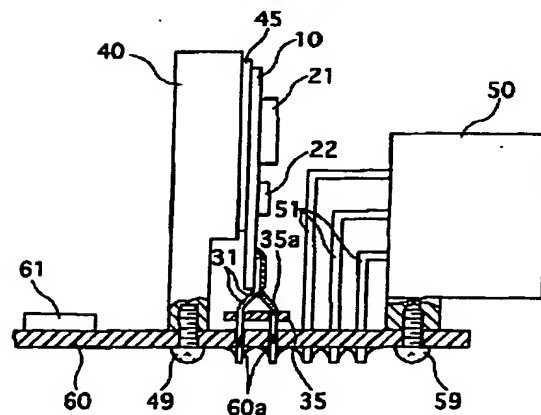
【図2】



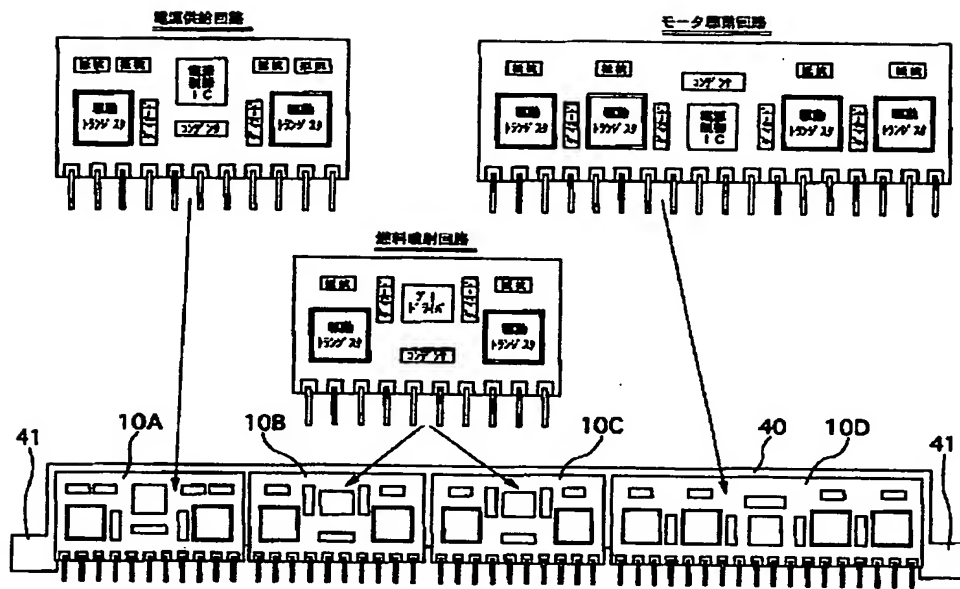
【図5】



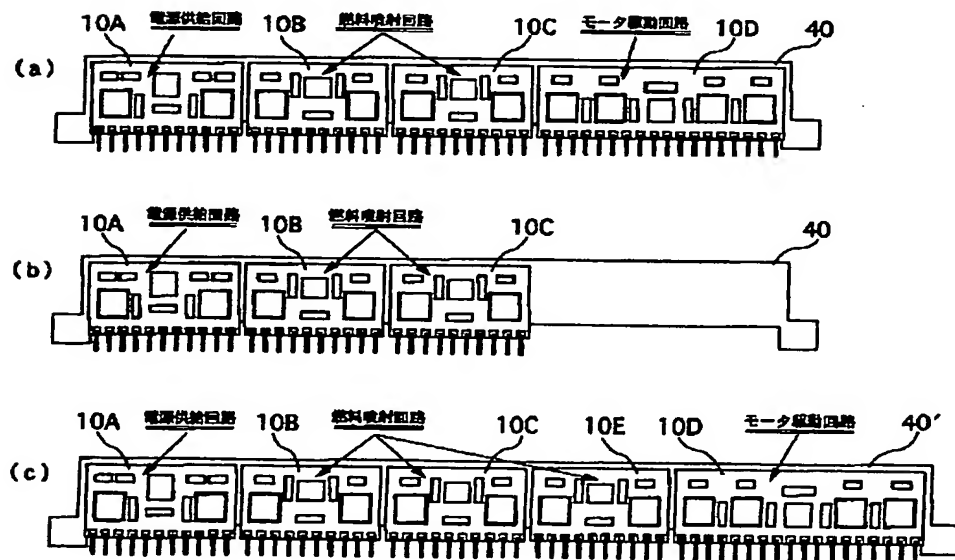
【図6】



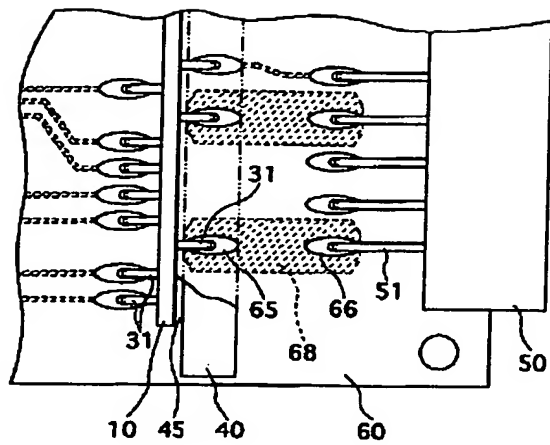
【図3】



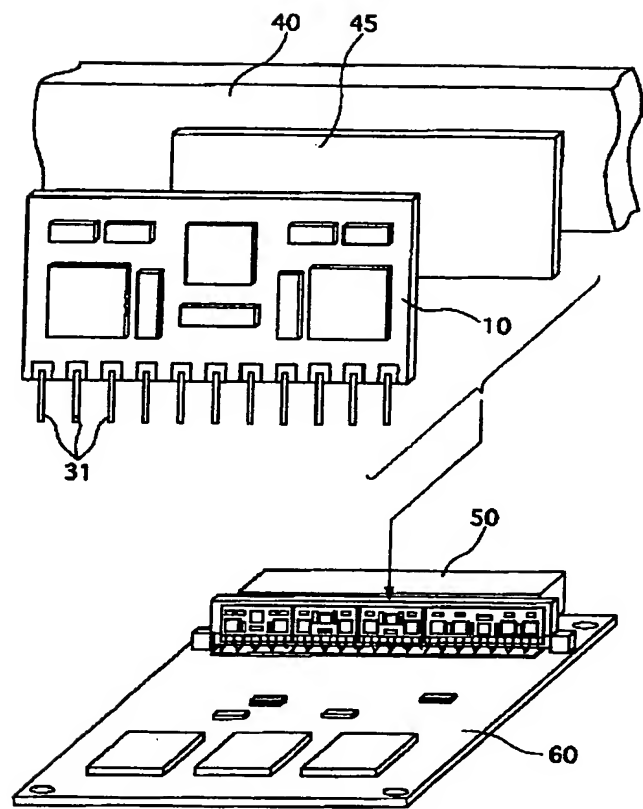
【図4】



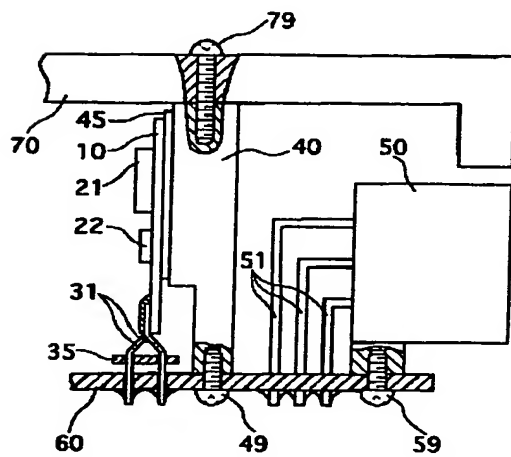
【図7】



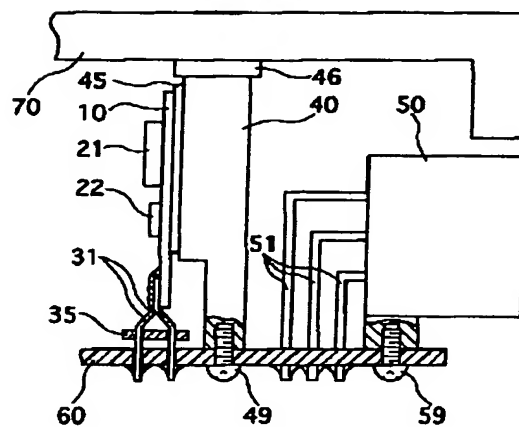
【図8】



【図9】



【図10】



フロントページの続き

(72) 発明者 新見 幸秀
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.